

DE 198 30 571 A1

Beschreibung

Die Erfindung betrifft eine integrierte Schaltung mit einem Takteingang für ein externes Taktsignal, mit einer von einem internen Taktsignal gesteuerten Ausgabereinheit zur Ausgabe von Daten an einen Datenausgang und mit einer Steuereinheit zum Erzeugen des internen Taktsignals aus dem externen Taktsignal, die eine Phasenverschiebungseinheit aufweist, die eine Phasenverschiebung des von der Steuereinheit erzeugten internen Taktsignals gegenüber dem externen Taktsignal bewirkt.

Eine derartige integrierte Schaltung in Form eines SDRAMs (Synchronous DRAM) ist in C. Kim et al.: "A 640 MB/s Bi-Directional Data Strobed, Double-Data-Rate SDRAM with a 40 mW DLL Circuit for a 256 MB Memory System", in ISSCC98/Session 10/High-Speed Chip-To-Chip Connections/Paper FA 10.2 beschrieben. Die Ausgabereinheit des SDRAMs wird mit dem internen Taktsignal getaktet, das gegenüber dem externen Taktsignal eine negative Phasenverschiebung aufweist, die durch die Steuereinheit in Form einer DLL-Schaltung (Delay Locked Loop) erzeugt wird. Die durch die DLL bewirkte negative Phasenverschiebung, die Vorausseilen des internen gegenüber dem externen Taktsignal bewirkt, ist so eingestellt, daß für eine zu erwartende Beschaltung des Datenausgangs weitestgehend gewährleistet ist, daß unter Berücksichtigung der Signallaufzeit zwischen der Ausgabereinheit und dem Datenausgang von der Ausgabereinheit ausgegebene Daten im wesentlichen phasengleich mit dem externen Taktsignal am Datenausgang anliegen. Auf diese Weise soll erreicht werden, daß die an den Datenausgang ausgegebenen Daten extern wiederum synchron mit dem externen Taktsignal vorliegen.

Das beschriebene SDRAM hat den Nachteil, daß die durch die DLL bewirkte negative Phasenverschiebung des internen gegenüber dem externen Taktsignal nur für bestimmte Beschaltungen des Datenausgangs zum gewünschten Ergebnis führt. Der Erfinder der im folgenden erläuterten Erfindung hat nämlich festgestellt, daß in Abhängigkeit der Beschaltung des Datenausgangs dessen kapazitive Last stark variieren kann. Da die Signallaufzeit zwischen der Ausgabereinheit und dem Datenausgang abhängig von der kapazitiven Last des Datenausgangs ist, die durch die DLL bewirkte negative Phasenverschiebung jedoch durch den Hersteller des SDRAMs fest eingestellt wird, werden die an den Datenausgang ausgegebenen Daten in vielen Fällen nicht synchron mit dem externen Taktsignal vorliegen.

Der Erfindung liegt daher die Aufgabe zugrunde, eine integrierte Schaltung der eingangs beschriebenen Art anzugeben, bei der Daten, unabhängig von der Beschaltung des Datenausgangs, im wesentlichen synchron zum externen Taktsignal am Datenausgang ausgegeben werden.

Diese Aufgabe wird mit einer integrierten Schaltung gemäß Anspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand abhängiger Ansprüche.

Die erfindungsgemäße integrierte Schaltung weist einen Takteingang für ein externes Taktsignal und eine in einer Normalbetriebsart von einem internen Taktsignal gesteuerte Ausgabereinheit zur Ausgabe von Daten an einen Datenausgang auf. Ferner weist sie eine Steuereinheit zum Erzeugen des internen Taktsignals aus dem externen Taktsignal auf, die eine Phasenverschiebungseinheit aufweist, die in der Normalbetriebsart eine Phasenverschiebung des von der Steuereinheit erzeugten internen Taktsignals gegenüber dem externen Taktsignal bewirkt und eine Detektoreinheit zur Ermittlung der kapazitiven Last am Datenausgang, die der Phasenverschiebungseinheit ein entsprechendes Detektorsignal liefert, in dessen Abhängigkeit die Phasenverschiebung

eingestellt wird.

Indem erfindungsgemäß die Phasenverschiebung durch die Phasenverschiebungseinheit gemäß der ermittelten kapazitiven Last am Datenausgang eingestellt wird, wird erreicht, daß, unabhängig von der Beschaltung des Datenausgangs, die für dessen kapazitive Last verantwortlich ist, das interne Taktsignal zum externen Taktsignal in einem solchen zeitlichen Verhältnis steht, daß von der Ausgabereinheit an den Datenausgang ausgegebene Daten dort synchron mit dem externen Taktsignal ausgegeben werden. Im Gegensatz zum in der Beschreibungseinleitung erläuterten Stand der Technik wird bei der Erfindung also die durch die Steuereinheit, die beispielsweise eine DLL sein kann, bewirkte Phasenverschiebung nicht bereits durch den Hersteller der integrierten Schaltung fest eingestellt. Vielmehr stellt die Steuereinheit selbst ihre Phasenverschiebung durch Detektion der kapazitiven Last am Datenausgang während des Betriebs, das heißt nach erfolgter externer Beschaltung der integrierten Schaltung ein.

Die Erfindung eignet sich beispielsweise zum Einsatz in SDRAMs. Jedoch ist ihr Einsatz auch in beliebigen anderen integrierten Schaltungen möglich, die an einen Datenausgang Daten liefern, die mit einem externen Taktsignal synchron sein sollen.

Nach einer Weiterbildung der Erfindung ist eine Testbetriebsart der integrierten Schaltung vorgesehen, in der die Ausgabereinheit ein Testsignal an den Datenausgang ausgibt und in der die Detektoreinheit die Laufzeit des Testsignals von der Ausgabereinheit zum Datenausgang als Maß der kapazitiven Last am Datenausgang ermittelt. So läßt sich auf einfache Weise die kapazitive Last am Datenausgang bestimmen.

Nach einer Weiterbildung der Erfindung erfolgt die Ermittlung der Laufzeit des Testsignals dadurch, daß die Ausgabereinheit in der Testbetriebsart vom externen Taktsignal gesteuert wird und die Detektoreinheit weiterhin eine Vergleichseinheit aufweist zur Ermittlung der Phasenverschiebung zwischen dem externen Taktsignal und dem sich in der Testbetriebsart am Datenausgang einstellenden Testsignal, wobei die Steuereinheit die Phasenverschiebung durch die Phasenverschiebungseinheit so einstellt, daß sie im wesentlichen mit der durch die Vergleichseinheit ermittelten Phasenverschiebung übereinstimmt.

Im Gegensatz zur Normalbetriebsart wird die Ausgabereinheit in der Testbetriebsart also nicht durch das interne Taktsignal, sondern durch das externe Taktsignal gesteuert. Da das externe Taktsignal von außen vorgegeben ist, ergibt sich hiermit ein definierter Startzeitpunkt für die Ausgabe des Testsignals in der Testbetriebsart durch die Ausgabereinheit. Die Laufzeit des Testsignals von der Ausgabereinheit zum Datenausgang kann somit problemlos bestimmt werden, indem überwacht wird, wieviel später das Testsignal am Datenausgang eine Flanke aufweist, als das externe Taktsignal, das die Ausgabe des Testsignals durch die Ausgabereinheit einleitet.

Die erfindungsgemäße Einstellung der Phasenverschiebung durch die Phasenverschiebungseinheit und die damit verbundene Ermittlung der kapazitiven Last am Datenausgang kann bei der integrierten Schaltung beispielsweise während eines Initialisierungsvorgangs bei ihrer Inbetriebnahme vorgenommen werden.

Nach einer Weiterbildung weist die integrierte Schaltung einen ersten Eingangstreiber auf zum Zuführen des externen Taktsignals, dessen Eingang mit dem Takteingang und dessen Ausgang mit einem ersten Eingang der Vergleichseinheit sowie mit einem Takteingang der Ausgabereinheit verbunden ist. Weiterhin weist die integrierte Schaltung einen zweiten Eingangstreiber auf, dessen Eingang das sich in der

Testbetriebsart am Datenausgang einstellende Testsignal zugeführt wird, und dessen Ausgang mit einem zweiten Eingang der Vergleichseinheit verbunden ist. Dabei ist die Laufzeit des externen Taktsignals durch den ersten Eingangstreiber im wesentlichen gleich der Laufzeit des Testsignals durch den zweiten Eingangstreiber.

Da die Vergleichseinheit in der Testbetriebsart die Phasenverschiebung zwischen dem externen Taktsignal und dem an den Datenausgang ausgegebenen Testsignal feststellt, werden auf die beschriebene Art Verfälschungen des Vergleichsergebnisses aufgrund unterschiedlicher Dimensionierungen der beiden Eingangstreiber vermieden. Diese Verfälschungen ergeben sich andernfalls dadurch, daß der Vergleichseinheit, die in der Testbetriebsart die Phasenverschiebung zwischen dem externen Taktsignal und dem Testsignal am Datenausgang feststellen soll, die beiden Signale nicht direkt, sondern über die genannten beiden Eingangstreiber zugeführt werden. Wären die Laufzeiten durch die beiden Eingangstreiber unterschiedlich, würde die Vergleichseinheit eine Phasenverschiebung ermitteln, die wenigstens teilweise durch diesen Laufzeitunterschied bedingt ist.

Nach einer Weiterbildung der Erfindung dient der zweite Eingangstreiber in der Normalbetriebsart der Zuführung von extern an die integrierte Schaltung anzulegenden Daten. Dies hat den Vorteil, daß der zweite Eingangstreiber sowohl in der Testbetriebsart, in der er das Testsignal vom Datenausgang zur Vergleichseinheit übermittelt, als auch in der Normalbetriebsart, in der er Daten nach innerhalb der integrierten Schaltung übermittelt, Verwendung findet und daß für diese beiden zeitlich getrennten Aufgaben keine zwei unterschiedlichen Eingangstreiber notwendig sind. Hierdurch wird der Flächenbedarf reduziert.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert, die Ausführungsbeispiele der Erfindung darstellen. Es zeigen:

Fig. 1 ein erstes Ausführungsbeispiel der erfindungsgemäßen integrierten Schaltung,

Fig. 2 ein Detail des Ausführungsbeispiels aus Fig. 1,

Fig. 3 ein Detail einer zur Fig. 1 alternativen Ausführungsform der Erfindung und

Fig. 4 ein Detail des Blockschaltbildes aus Fig. 2.

Fig. 1 zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen integrierten Schaltung IC in Form eines SDRAMs. Die Erfindung ist jedoch nicht auf SDRAMs beschränkt, sondern kann auch bei beliebigen anderen integrierten Schaltungen eingesetzt werden. Die Schaltung weist eine Ausgabereinheit L auf, die in einer Normalbetriebsart der integrierten Schaltung IC ihr über einen ersten Multiplexer MUX1 zugeführte Daten DATA an einen Datenausgang 10 der integrierten Schaltung ausgibt. Die Daten DATA werden dabei aus nicht dargestellten Speicherzellen des SDRAMs ausgelesen. Das SDRAM weist weiterhin einen Takteingang für die Zuführung eines externen Taktsignals CLKE auf. Vom Takteingang wird das externe Taktsignal über einen ersten Eingangstreiber D1 einer DLL-Schaltung (Delay Locked Loop) zugeführt, die aus dem externen Taktsignal CLKE ein internes Taktsignal CLKI generiert, das gegenüber erstgenanntem eine bestimmte negative Phasenverschiebung aufweist. Das interne Taktsignal eilt also dem externen Taktsignal voraus. Das interne Taktsignal CLKI wird einem Takteingang der Ausgabereinheit L über einen zweiten Multiplexer MUX2 zugeführt. Die Multiplexer MUX1, MUX2 werden über ein Aktivierungssignal EN in der Weise angesteuert, daß sie in einer Normalbetriebsart der Schaltung der Ausgabereinheit L die Daten DATA zuführen und dem Takteingang der Ausgabereinheit L das interne Taktsignal CLKI.

Um zu erreichen, daß die von der Ausgabereinheit L ausgegebenen Daten DATA am Datenausgang 10 synchron mit dem externen Taktsignal CLKE vorliegen, bewirkt die Steuereinheit DLL in solche negativ Phasenverschiebung des internen Taktsignals CLKI gegenüber dem externen Taktsignal CLKE, daß die Ausgabereinheit L die Daten DATA so früh an den Treiber D3 ausgibt, daß die Daten DATA unter Berücksichtigung ihrer Signallaufzeit zwischen der Ausgabereinheit L und dem Datenausgang 10 synchron mit dem externen Taktsignal CLKE am Datenausgang 10 vorliegen. Die Laufzeit zwischen der Ausgabereinheit L und dem Datenausgang 10 ist jedoch abhängig von der externen kapazitiven Belastung des Datenausgangs 10. Die kapazitive Last ist in Fig. 1 durch einen Kondensator C angedeutet. Die Erfindung sieht nun vor, daß die durch die DLL bewirkte Phasenverschiebung des internen Taktsignals CLKI gegenüber dem externen Taktsignal CLKE in Abhängigkeit von der kapazitiven Last C des Datenausgangs 10 erfolgt. Hierzu werden die beiden Multiplexer MUX1, MUX2 über das Aktivierungssignal EN in einer Testbetriebsart so geschaltet, daß der Ausgabereinheit L ein Testsignal TEST anstelle der Daten DATA und ihrem Takteingang anstelle des internen Taktsignals CLKI das externe Taktsignal CLKE zugeführt wird. Das Testsignal TEST wird dann von der Ausgabereinheit L in Abhängigkeit vom externen Taktsignal CLKE über den Treiber D3 zum Datenausgang 10 übertragen.

Um die Laufzeit des Testsignals TEST von der Ausgabereinheit L zum Datenausgang 10 zu bestimmen (die ein Maß der kapazitiven Last C am Datenausgang 10 ist), weist die integrierte Schaltung eine Vergleichseinheit CMP auf, die die Phasendifferenz zwischen dem externen Taktsignal CLKE und dem am Datenausgang 10 ausgegebenen Testsignal TEST ermittelt. Zu diesem Zweck wird der Vergleichseinheit CMP an einem ersten Vergleichseingang das externe Taktsignal CLKE und an einem zweiten Vergleichseingang über einen zweiten Eingangstreiber D2 das in den Datenausgang 10 ausgegebene Testsignal zugeführt.

Die Vergleichseinheit CMP ist ebenfalls durch das Aktivierungssignal EN gesteuert, das die Betriebsart der integrierten Schaltung festlegt. Die Vergleichseinheit ist nur in der Testbetriebsart der Schaltung aktiviert und in der Normalbetriebsart deaktiviert. Die Testbetriebsart wird beim vorliegenden Ausführungsbeispiel in einer Initialisierungsphase des SDRAMs durchgeführt. In der Testbetriebsart ermittelt die Vergleichseinheit CMP die Laufzeit des Testsignals zwischen Ausgabereinheit L und Datenausgang 10. In der Normalbetriebsart wird die Ausgabereinheit L dann vom internen Taktsignal CLKI gesteuert, das gegenüber dem externen Taktsignal CLKE die in der Testbetriebsart ermittelte (negative) Phasenverschiebung aufweist, die zu diesem Zweck von der Vergleichseinheit während der Testbetriebsart gespeichert wird.

Fig. 1 ist auch zu entnehmen, daß der zweite Eingangstreiber D2 in der Normalbetriebsart auch der Zuführung von Daten, die extern an den Datenausgang 10 angelegt werden, dient, die im SDRAM gespeichert werden sollen (in Fig. 1 dargestellt durch das Bezugszeichen 30). Der zweite Eingangstreiber D2 dient also in der Testbetriebsart der Zuführung des Testsignals am Datenausgang 10 zur Vergleichseinheit CMP und in der Normalbetriebsart der Zuführung von extern an den Datenausgang 10 angelegten Daten, die im Speicher gespeichert werden sollen. Der Datenausgang 10 ist also gleichzeitig ein Dateneingang des SDRAMs.

Fig. 2 ist ein Blockschaltbild der in Fig. 1 dargestellten DLL zu entnehmen. Das vom Takteingang über den ersten Eingangstreiber D1 zugeführte externe Taktsignal CLKE wird einem spannungsgesteuerten Verzögerungsglied VCDL (Voltage Controlled Delay Line) zugeführt, die dar-

aus das interne Taktsignal CLKI generiert. Gleichzeitig wird das externe Taktsignal CLKE' einem ersten Eingang einer Phasendetektionseinheit PFD (Phase Frequency Detect) zugeführt. Einem zweiten Eingang der Phasendetektionseinheit PFD wird das Ausgangssignal S3 einer einstellbaren Phasenverschiebungseinheit PRD zugeführt. Das Ausgangssignal der Phasendetektoreinheit PFD wird über einen Tiefpaßfilter F der spannungsgesteuerten Verzögerungseinheit VCDL als Steuersignal zugeführt. Das interne Taktsignal CLKI ist rückgekoppelt über die einstellbare Phasenverschiebungseinheit PRD als Signal S3 auf den zweiten Eingang der Phasendetektoreinheit PFD.

Die Phasenverschiebungseinheit PRD bewirkt eine Phasenverschiebung des Signals S3 an ihrem Ausgang gegenüber dem internen Taktsignal CLKI, die abhängig von einem ihr von einer Vergleichseinheit CMP zugeführten Detektorsignal S2 ist. Das Detektorsignal S2 wird von der Vergleichseinheit CMP in der Testbetriebsart durch Vergleich des externen Taktsignals CLKE' und des ihr über den zweiten Eingangstreiber D2 in Form eines Signals S1 zugeführten Testsignals am Datenausgang 10 zugeführten Testsignal TEST erzeugt. Die genaue Funktionsweise der Vergleichseinheit CMP und der Phasenverschiebungseinheit PRD werden im folgenden anhand Fig. 4 erläutert.

Fig. 4 zeigt in ihrem oberen Teil die Vergleichseinheit CMP und in ihrem unteren Teil die Phasenverschiebungseinheit PRD. Die Vergleichseinheit CMP weist eine Reihenschaltung mehrerer Grundeinheiten auf, von denen in Fig. 4 nur vier dargestellt wurden. Jede Grundeinheit besteht aus einer Reihenschaltung eines ersten Schaltelementes SW1 und eines Speicherelementes M. Die Speicherelemente M weisen zwei gegenüberparallel angeordnete Inverter I_M als Halteschaltung sowie einen diesem nachgeschalteten Inverter I auf, so daß ein am Eingang jedes Grundelementes anliegender Signalpegel von der Halteschaltung gespeichert und durch den nachgeschalteten Inverter I wieder invertiert wird, womit der ursprüngliche Signalpegel auch am Ausgang der Grundeinheit in nicht invertierter Form vorliegt. Je zweien der Grundeinheiten ist ein XOR-Gatter zugeordnet, denen die von den entsprechenden Speicherelementen M gespeicherten Signalpegel zugeführt werden. Die Ausgangssignale der XOR-Gatter bilden das Ausgangssignal S2 der Vergleichseinheit CMP. Die ersten Schalteinheiten SW1 weisen Steuereingänge auf, denen das am Datenausgang 10 ausgegebene und dort abgegriffene Testsignal S1 zugeführt wird. Der Eingang der Reihenschaltung der Grundeinheiten wird das externe Taktsignal CLKE' zugeführt.

Die Funktionsweise der Vergleichseinheit CMP ist folgende:

Zunächst werden die Grundelemente in einen Zustand gebracht, in denen alle ihre Speichereinheiten M einen niedrigen Signalpegel speichern. Anschließend wird in der Testbetriebsart diejenige Flanke des externen Taktsignals CLKE', mit der die Ausgabe des Testsignals TEST durch die Ausgabereinheit L auf Fig. 1 gestartet wird, durch die zu diesem Zeitpunkt geöffneten Schalteinheiten SW1 entlang der Reihenschaltung der Grundeinheiten übertragen. Diese Signalfanke läuft so weit durch die Reihenschaltung, bis das Signal S1 am Datenausgang 10 ebenfalls einen Pegelwechsel aufweist. Wenn das Signal S1 einen Pegelwechsel aufweist, werden die ersten Schaltelemente SW1 gesperrt, so daß der Zustand der Speichereinheiten M eingefroren wird. Das Signal S1 wird den Steuereingängen der ersten Schaltelemente SW1 über ein Flip-Flop FF zugeführt, das über das Aktivierungssignal EN rückgesetzt wird. Dies geschieht beim Versetzen der integrierten Schaltung in die Testbetriebsart. Anschließend wird das Flip-Flop FF durch das Signal S1 gesetzt und speichert somit den auftretenden Signal-

wechsel, so daß die ersten Schaltelemente SW1 dauerhaft gesperrt bleiben, und zwar auch nach Versetzen der integrierten Schaltung IC in die Normalbetriebsart.

Im folgenden wird unter Bezugnahme auf Fig. 4 die Phasenverschiebungseinheit PRD erläutert. Das interne Taktsignal CLKI wird einer Reihenschaltung aus Verzögerungselementen V zugeführt, die je zwei in Reihe geschaltete Inverter I aufweisen. Der Ausgang jedes Verzögerungselementes V ist über ein zweites Schaltelement SW2 mit dem Ausgang der Phasenverschiebungseinheit PRD verbunden, an der diese das Signal S3 liefert. Die zweiten Schaltelemente SW2 weisen Steuereingänge auf, denen je eines der Ausgangssignale S2 der Vergleichseinheit CMP zugeführt werden.

Zu dem Zeitpunkt, zu dem die Schaltelemente SW1 gesperrt werden, wird der Speicherzustand der Speicherelemente M "eingefroren". Die Signalfanke des externen Taktsignals CLKE' läuft also nur bis zu diesem Zeitpunkt durch die Reihenschaltung. Es ändert sich nur in denjenigen Speicherelementen M der gespeicherte Zustand, durch welche die Signalfanke bis zum genannten Zeitpunkt ausbreiten konnte. In der Reihenschaltung der Grundeinheiten weisen anschließend alle benachbarten Grundelemente den gleichen gespeicherten Signalpegel auf, mit Ausnahme der beiden Grundelemente, bis zu denen die Signalfanke des externen Taktsignals CLKE' gerade noch übertragen wurde, bevor die ersten Schaltelemente SW1 sperrten. Aus diesem Grunde liefert nur dasjenige XOR-Gatter einen hohen Signalpegel an seinem Ausgang, das mit diesen beiden Grundelementen verbunden ist. Die übrigen XOR-Gatter geben einen niedrigen Signalpegel aus. Somit liefert die Vergleichseinheit CMP ein Ausgangssignal S2, das ein Maß für die Laufzeitverschiebung bzw. die Phasendifferenz zwischen dem externen Taktsignal CLKE' und dem Signal S1 ist, das vom an der Datenausgang 10 ausgegebenen Testsignal abgeleitet ist.

In der Phasenverschiebungseinheit PRD wird genau dasjenige zweite Schaltelement SW2 leitend geschaltet, dessen zugeordnetes XOR-Gatter einen hohen Ausgangspegel liefert. Alle anderen zweiten Schaltelemente SW2 bleiben gesperrt. Somit ergibt sich eine Verzögerung des Ausgangssignals S3 der Phasenverschiebungseinheit PRD gegenüber dem internen Taktsignal CLKI, die proportional zur Laufzeitverschiebung zwischen dem Signal S1 und dem externen Taktsignal CLKE' ist. Mit anderen Worten: Die Phasenverschiebung durch die Phasenverschiebungseinheit wird in Abhängigkeit von der Laufzeit des Testsignals und damit in Abhängigkeit von der kapazitiven Last am Datenausgang eingestellt.

Fig. 3 zeigt eine Variante des Ausführungsbeispiels aus Fig. 1, die sich bezüglich diesem nur hinsichtlich der Erfassung des Testsignals am Datenausgang 10 unterscheidet. Während in Fig. 1 das Signal am Datenausgang 10 innerhalb der integrierten Schaltung abgegriffen und der Vergleichseinheit CMP zugeführt wird, geschieht dies beim Ausführungsbeispiel gemäß Fig. 3 durch Abgriff von außerhalb der integrierten Schaltung. Gemäß Fig. 3 weist die integrierte Schaltung IC neben dem Datenausgang 10 einen Dateneingang 20 auf, der mit dem zweiten Eingangstreiber D2 verbunden ist. Der Datenausgang 10 ist extern über einen Widerstand R mit der kapazitiven Last C verbunden. Je nach Anwendung kann es vorgesehen sein, daß die externe Beschaltung der integrierten Schaltung IC einen Anschluß über ein solches Widerstandselement R vorsieht. Der Dateneingang 20 ist mit einem Schaltungsknoten A zwischen dem Widerstandselement R und der kapazitiven Last C verbunden. Somit wird der Vergleichseinheit CMP das Signal S1, das dem an den Datenausgang 10 ausgegebenen Testsignal

TEST entspricht, v n außerhalb der integrierten Schaltung IC zugeführt. Auf diese Weise wird erreicht, daß das sich am Schaltungsknoten A instellende Signal synchron zum externen Taktsignal CLKE ist.

Patentansprüche

1. Integrierte Schaltung

- mit einem Takteingang für ein externes Taktsignal (CLKE), 10
- mit einer in einer Normalbetriebsart von einem internen Taktsignal (CLKI) gesteuerten Ausgabereinheit (L) zur Ausgabe von Daten (DATA) an einen Datenausgang (10),
- mit einer Steuereinheit (DLL) zum Erzeugen 15 des internen Taktsignals (CLKI) aus dem externen Taktsignal (CLKE), die eine Phasenverschiebungseinheit (PRD) aufweist, die in der Normalbetriebsart eine Phasenverschiebung des von der Steuereinheit (DLL) erzeugten internen Taktsignals (CLKI) gegenüber dem externen Taktsignal (CLKE) bewirkt,
- und mit einer Detektoreinheit (CMP) zur Ermittlung der kapazitiven Last am Datenausgang 25 (10), die der Phasenverschiebungseinheit (PRD) ein entsprechendes Detektorsignal (S2) liefert, in dessen Abhängigkeit die Phasenverschiebung eingestellt wird.

2. Schaltung nach Anspruch 1, mit einer Testbetriebsart, 30

- in der die Ausgabereinheit (L) ein Testsignal (TEST) an den Datenausgang (10) ausgibt
- und in der die Detektoreinheit (CMP) die Laufzeit des Testsignals (TEST) von der Ausgabereinheit (L) zum Datenausgang (10) als Maß der kapazitiven Last am Datenausgang ermittelt. 35

3. Schaltung nach Anspruch 2,

- deren Ausgabereinheit (L) in der Testbetriebsart vom externen Taktsignal (CLKE) gesteuert wird,
- deren Detektoreinheit (CMP) eine Vergleichseinheit aufweist zur Ermittlung der Phasenverschiebung zwischen dem externen Taktsignal (CLKE) und dem sich in der Testbetriebsart am Datenausgang (10) einstellenden Testsignal, 40
- und dessen Steuereinheit (DLL) die Phasenverschiebung durch die Phasenverschiebungseinheit (PRD) so einstellt, daß sie im wesentlichen mit der durch die Vergleichseinheit ermittelten Phasenverschiebung übereinstimmt. 45

4. Schaltung nach Anspruch 3, 50

- mit einem ersten Eingangstreiber (D1) zum Zuführen des externen Taktsignals (CLKE), dessen Eingang mit dem Takteingang und dessen Ausgang mit einem ersten Eingang der Vergleichseinheit sowie mit einem Takteingang der Ausgabereinheit (L) verbunden ist, 55
- und mit einem zweiten Eingangstreiber (D2), dessen Eingang das sich in der Testbetriebsart am Datenausgang (10) einstellende Testsignal zugeführt wird und dessen Ausgang mit einem zweiten Eingang der Vergleichseinheit verbunden ist, 60
- wobei die Laufzeit des externen Taktsignals (CLKE) durch den ersten Eingangstreiber (D1) und die Laufzeit des Testsignals durch den zweiten Eingangstreiber (D2) im wesentlichen gleich 65 sind.

5. Schaltung nach Anspruch 4, deren zweiter Eingangstreiber (D2) in der Normalbetriebsart der Zufüh-

rung von extern an die integrierte Schaltung anzuliegenden Daten dient.

Hierzu 3 Seite(n) Zeichnungen

FIG 1

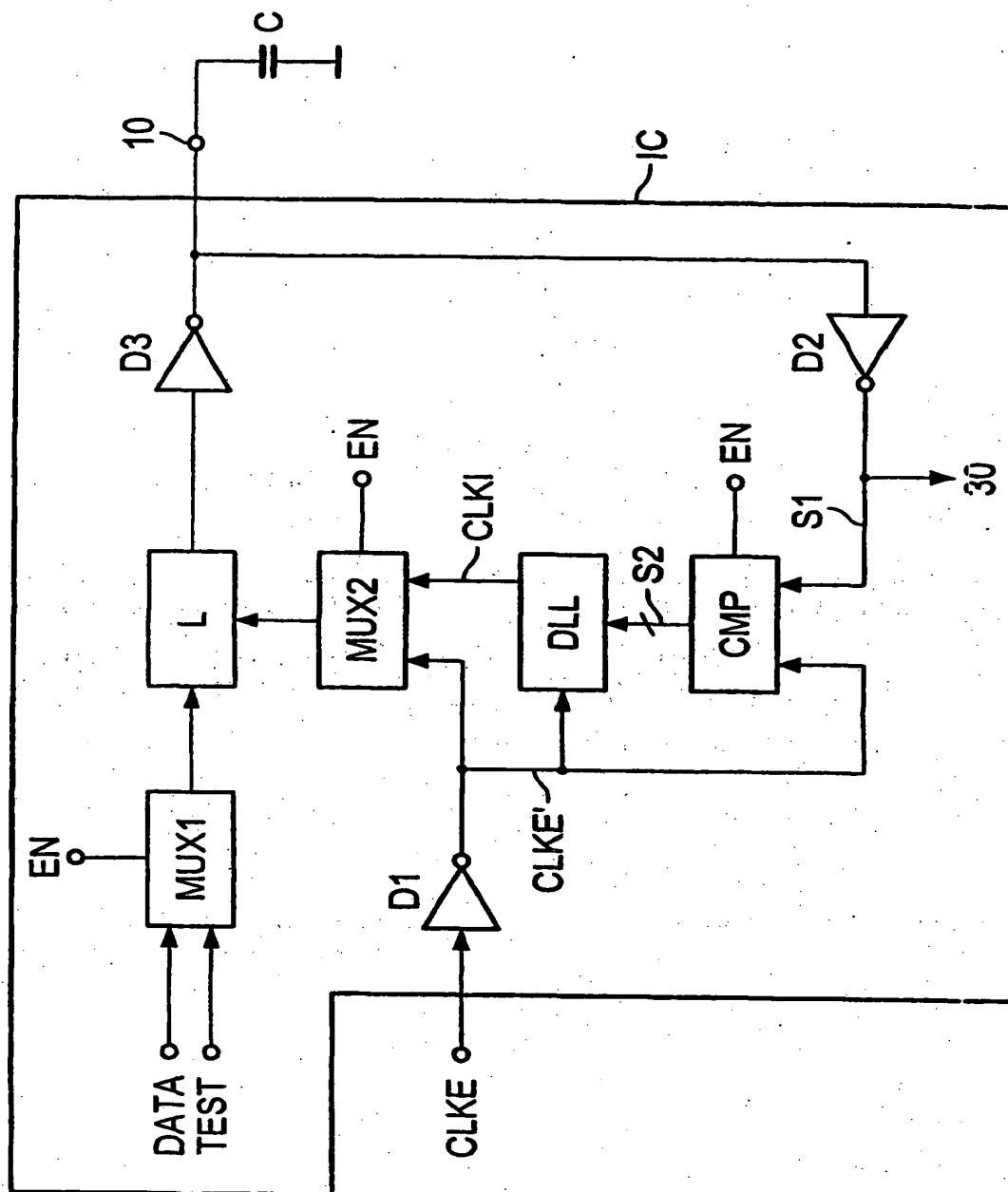


FIG 3

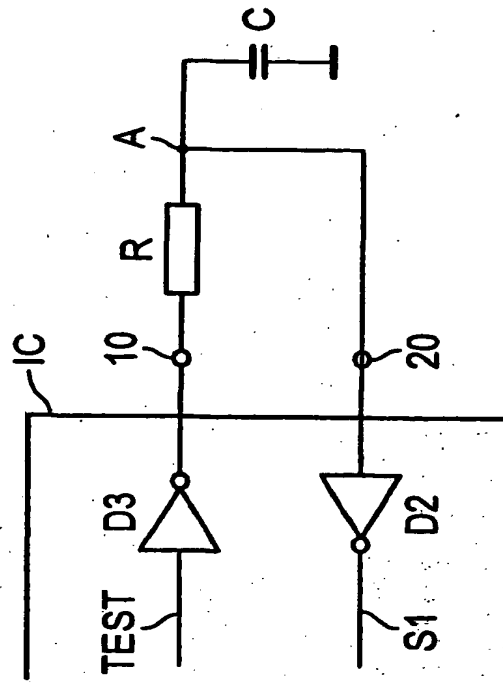


FIG 2

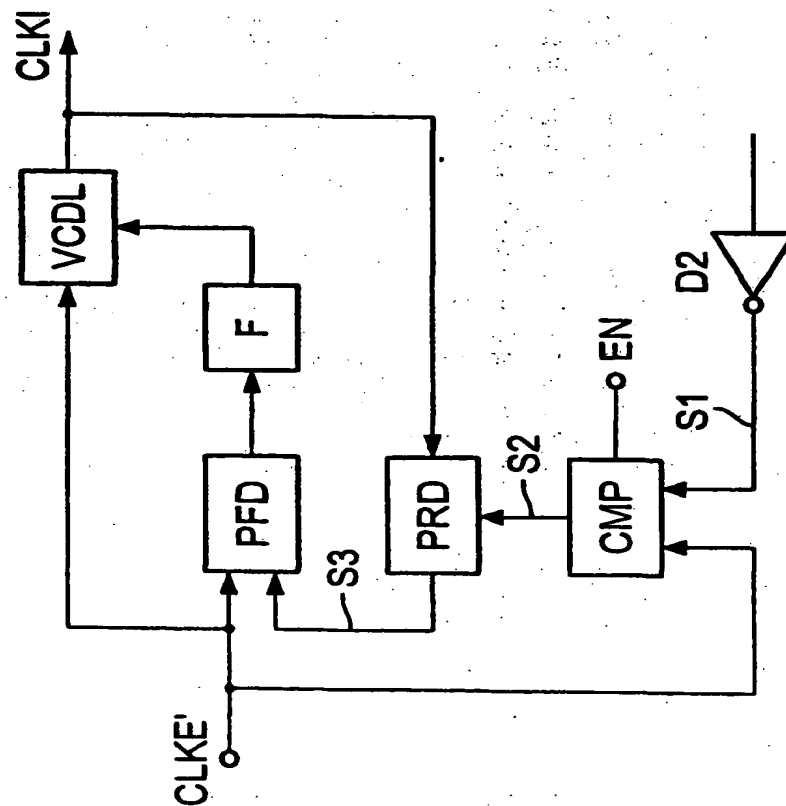
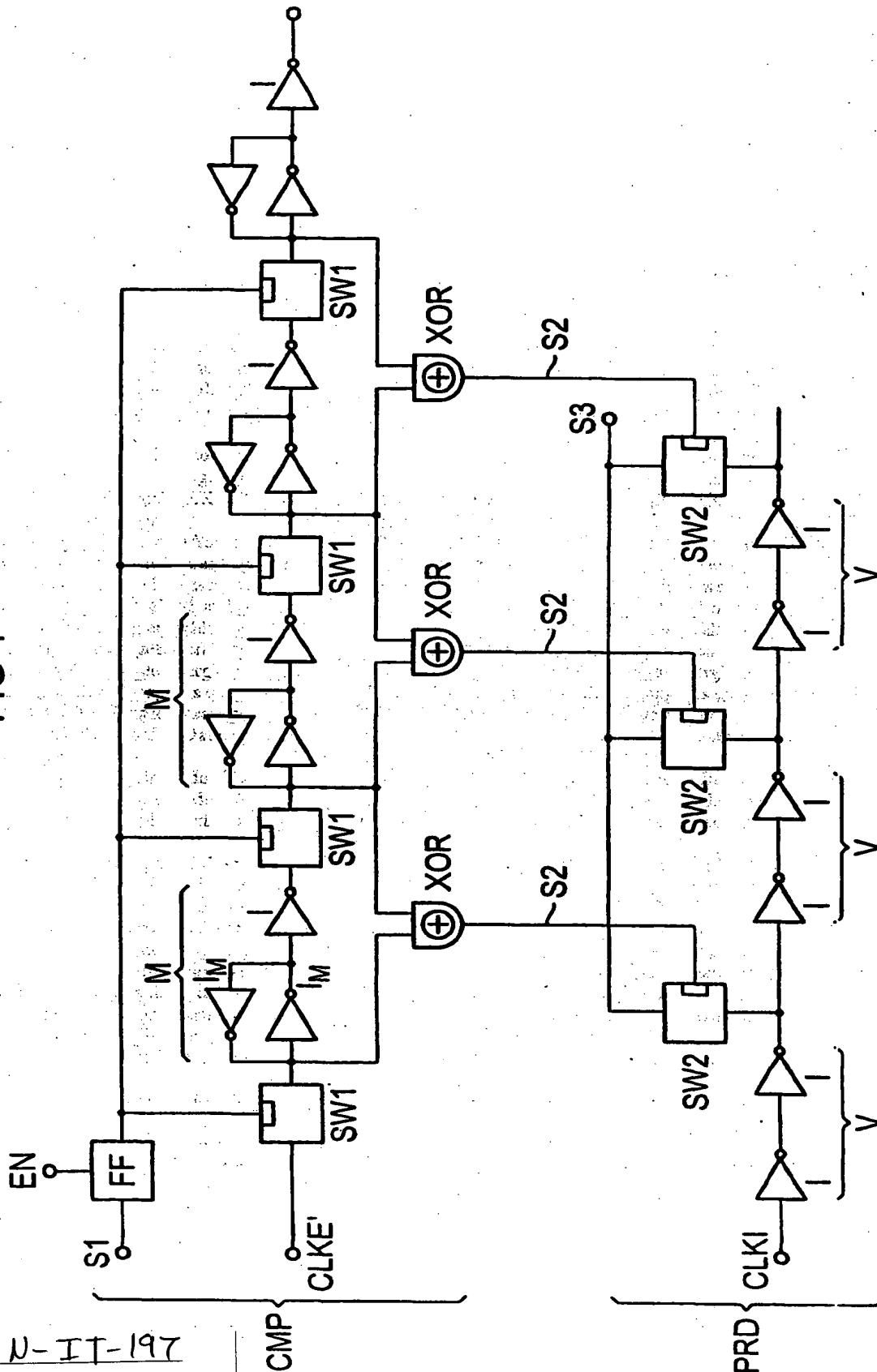


FIG 4



Docket # MDN-IT-197
Applic. # _____
Applicant: Martin Eule et al.

Applic. #_

Applicant: Martin Ehlerstedt

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

902 062/348